

XILINX Platform Cable USB 使用说明书



武汉华升泰克电子技术有限公司

www.hseda.com



目录

目录	
一 特性.....	
二 . Platform Cable USB Compatible 概述	
操作.....	
最小系统需求.....	
操作所需的电源.....	
安装设备驱动.....	
固件升级.....	
iMPACT 电缆选择	
配置时钟速度.....	
状态指示灯.....	
三 . platform Cable USB Compatible 的连接	
扁平电缆.....	
转换板.....	
四 . 输出驱动器结构.....	
五 . 目标系统的连接.....	
六 . 接口引脚功能说明.....	
版本历史.....	
联系信息.....	

一 特性

Platform Cable USB Compatible 的特性为：

支持 Windows 和 Linux 系统

自动检测和适应目标 I/O 电压

支持使用 5V(TTL) , 3.3V(LVCMOS) , 2.5V , 1.8V 和 1.5V 接口电平的器件

LED 状态指示

可对 SPI 接口 flash PROM 器件进行编程

支持所有 XILINX 器件，包括：

所有 Virtex FPGA 器件

所有 Spartan FPGA 器件

XC9500/XC9500XL/XC9500XV CPLD 器件

CoolRunner XPLA3/CoolRunner-II CPLD 器件

XC18V00 ISP PROM 系列

Platform Flash XCF00S/XCF00P/XL PROM 系列

XC4000 系列 FPGA

二 . Platform Cable USB Compatible 概述

Platform Cable USB Compatible 是一种用来对 XILINX CPLD , FPGA 和 ISP PROM 进行编程和配置的高性能下载线。它使用 USB 接口，通过一根高速屏蔽 USB 电缆与台式电脑或笔记本电脑连接，无需外接电源。在从串模式下，为 FPGA 器件提供最大可达 24Mb/s 的配置速度。

通过 iMPACT 软件，器件的编程和配置可以通过边界扫描，从串或 SPI 方式进行。另外，Platform Cable USB Compatible 还支持通过 JTAG 口对 Platform Flash XL 和其他存储器进行间接编程。编程速率由 750kHz 到 24MHz 可选。



Figure 1: Platform Cable USB Compatible

Platform Cable USB Compatible 通过一个 14pin , 2.54 间距的简易牛角插座和目标系统连接。通过一个附带的转接板 Platform Cable USB Compatible 也可以和使用 10pin 2.54 间距接头或 14pin 2.0 间距接头的器件连接, 此外, 还提供了 6pin 飞线接口。

外形

Platform Cable USB Compatible 的塑料外壳尺寸。

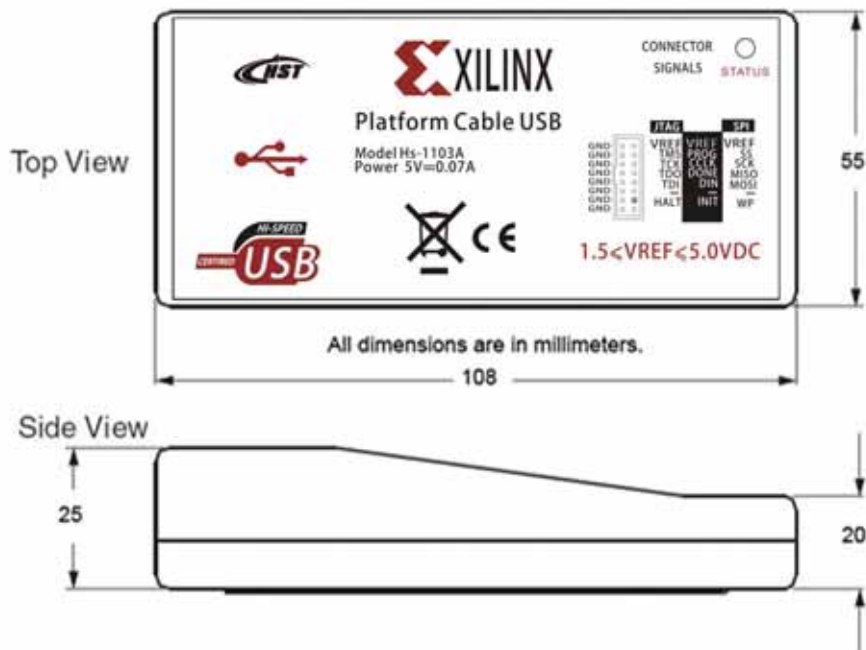


Figure2：塑料外壳的物理尺寸

操作

这一节描述了如何连接和使用 Platform Cable USB Compatible

最小系统需求

使用者的计算机必须配备了一个或以上的 USB 接口。这些 USB 接口可以是主机板自带的，也可以是由 PCI 卡或 PCMCIA 卡扩展得到的。

Platform Cable USB Compatible 所支持的系统需要达到 ISE 软件的最小系统需求。对于这一系统环境的细节，请参考：

http://www.xilinx.com/products/design_resources/design_tool/index.htm

Platform Cable USB Compatible 可以在 USB2.0 和 USB1.1 上工作。但 USB1.1 接口有可能限制本产品的性能。

操作所需的电源

Platform Cable USB Compatible 是总线供电的。它的运作大约需要从 USB 接口吸取 150mA 以内的电流。因此，它可以在任何形式的 USB 接口上使用，例如具有或不具有附加供电的外路式 USB HUB，包括 USB1.1 标准的 USB HUB。当然，在这种情况下，本产品的性能可能不是最优的。

注意：有些老式 USB HUB 可能不能提供 150mA 的电流，此时下载线可能会工作不正常或检测不到。

安装设备驱动

Platform Cable USB Compatible 需要安装适合的驱动。从 6.3.03i 版本的 ISE(Windows 版

本)或 7.1i(Linux 版本)开始,均提供了所需的驱动。除非安装了适当版本的 Xilinx ISE ,ChipScope 或 Platform Studio (EDK)软件,否则系统可能无法认出 Platform Cable USB Compatible。

注意:完整的安装向导可以参考 Xilinx 文件:UG344

固件升级

Platform Cable USB Compatible 是一个基于 RAM 的设备。应用程序代码会在每次连接主机的时候下载到 Platform Cable USB Compatible 中。所有所需的文件均包含于 Xilinx ISE 软件包中。ISE Service Pack 和 WebPACK 版本的软件可以由 XILINX 官方网站下载:

www.xilinx.com

Platform Cable USB Compatible 还包括了一个嵌入式的在电路编程 CPLD。每次 XILINX 的应用程序运行时,均会对 CPLD 的固件进行检测。如果有新版本的固件,CPLD 会自动升级固件到最新版本。

在一些极为罕见的情况下,CPLD 需要重新编程,此时可能会消耗一定的时间且一旦开始就不能被打断。具体地说,在使用 USB2.0 接口的情况下,典型的再编程时间是 10-15 分钟——与系统配置、软件版本等有关系,在 11.3 版本的 ISE 下,这一过程可以缩短到大约 1 到 2 分钟。

在 CPLD 固件升级时,状态指示灯会显示红色,软件界面上也会显示一个进度条。此时切记不要打断升级过程!升级完成后,指示灯会变成桔黄或绿色,下载线也可以正常的使用。

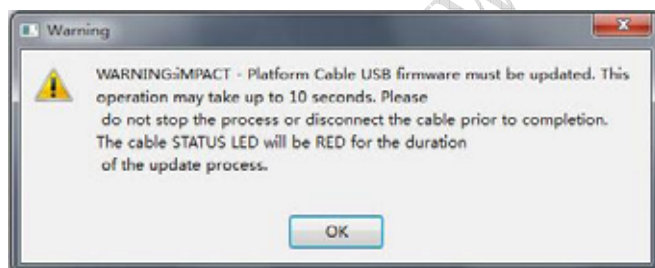


Figure3 : CPLD 升级提示

发现新硬件向导(仅 Windows 系统)

在安装 XILINX 相关软件的时候,请不要连接 Platform Cable USB Compatible。在软件安装完成后,第一次插入 Platform Cable USB Compatible 的时候,Windows 会提示发现新硬件,刚开始的设备驱动是 Platform Cable USB Firmware Loader,然后是 Platform Cable USB。

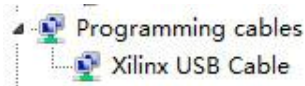
当把 Platform Cable USB Compatible 第一次插入另一个 USB 口时,Windows 也可能会再次提示发现新硬件。

热拔插即插即用：

下载电缆可以从计算机任意的插入和拔出，无需断电或重新启动系统。在插入下载电缆后，可能需要过一小段时间状态指示 LED 才会发光。这段时间设备正在进行枚举操作。

当枚举过程完毕后，在硬件管理器中能看到一个“ Programming cables ”项。

Figure4：在设备管理器中识别下载线



iMPACT 电缆选择

注意：当 PC4 电缆和 Platform Cable USB Compatible 电缆同时连接的时候，PC4 会被 iMPACT 软件选择为默认的活动电缆。电缆可以通过 iMPACT 软件中的 OUTPUT->Cable Setup 选项来进行选择。

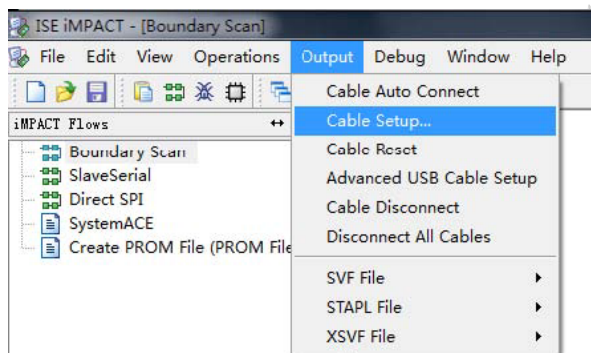


Figure5: iMPACT Cable Selection 下拉菜单

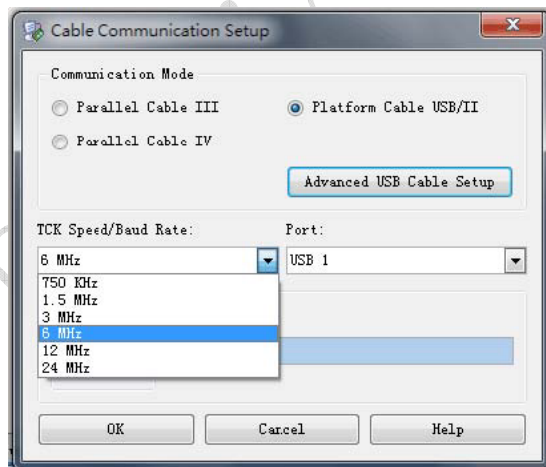


Figure6: iMPACT Cable Communication Setup 对话框

当 Cable Communications Setup 对话框显示出来的时候，Communication Mode 选择钮必须选择为“Platform Cable USB”

在从边界扫描模式和从串模式来回切换的时候，请使用 Output->Cable Disconnect。当模式切换完成后，使用 Output->Cable Setup 对话框重建电缆连接。

在 iMPACT 软件打开的时候移除电缆，状态栏会立即显示“ No Connection ”。

配置时钟速度

Platform Cable USB Compatible 的配置时钟(TCK_CCLK_SCK)频率是可选的。Table 1 列出了全部可用频率：

Table 1: Speed Selection for High-Power Ports

Selection	TCK_CCLK_SCK Frequency	Units
1	24	MHz
2	12	MHz
3(default)	6	MHz
4	3	MHz
5	1.5	MHz
6	750	kHz

在从串或 SPI 模式，TCK_CCLK_SCK 速度可以设定为任意一个可能的选项。默认来说，TCK_CCLK_SCK 速度被设为 6MHz。使用者要注意，选择 TCK_CCLK_SCK 频率要与目标器件的从串时钟(CCLK 或 SPI 时钟)特性相符合。

在边界扫描模式，iMPACT 7.1i(或更新)查询 BSDL 文件来确定一个边界扫描链所能达到的最大时钟频率(JTAG TCK)。iMPACT 7.1i(或更新)会自动将所选择的 TCK_CCLK_SCK 频率降低到与链中频率最低器件相等或更低的频率。Table2 列出了一部分 XILINX 器件所支持的 JTAG TCK 频率。进一步的信息请参考器件的数据表或 BSDL 文件。

注意：更老版本的(7.1i)以前的 iMPACT 软件不会在边界扫描模式自动降低 TCK_CCLK_SCK 的频率。使用者要自行选择恰当的 JTAG TCK 频率以符合目标系统的要求。

Table 2: Maximum JTAG Clock Frequencies

Device Family	Maximum JTAG Clock Frequency	Units
XC9500/XL/XV	10	MHZ
XPLA3	10	MHZ
CoolRunner-II	33	MHZ
XC18V00	10	MHZ
XCF00S/XCF00P	15	MHZ
Virtex	33	MHZ
Virtex-II	33	MHZ
Virtex-II Pro	33	MHZ
Virtex-4	33	MHZ
Virtex-5	33	MHZ
Spartan	5	MHZ
Spartan-II	33	MHZ
Spartan-3	33	MHZ
Spartan-3A	10	MHZ
Spartan-3E	10	MHZ

在 iMPACT 软件界面的下方，有一个状态条，其中包含了一些有关于设备状态的信息。如果主机的 USB 接口是 1.1 的，下载电缆以 full-speed 模式连接，状态栏显示“usb-fs”。如果主机的 USB 接口是 2.0 的，下载电缆以 Hi-Speed 连接，状态栏就会显示“usb-hs”。TCK_CCLK_SCK 的频率也显示在状态栏中。

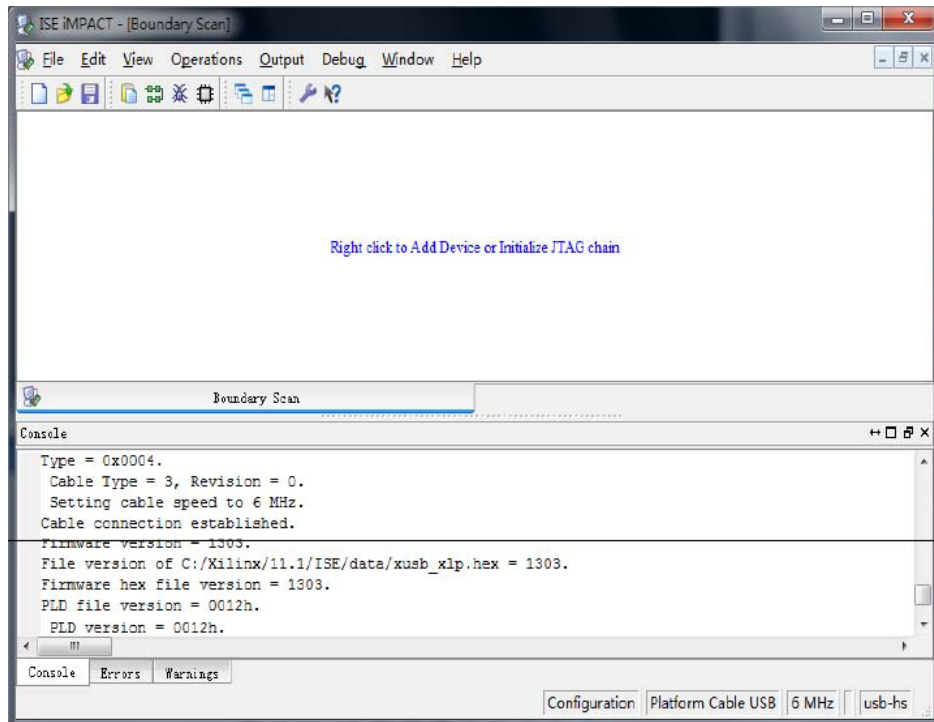


Figure7 : iMPACT Status Bar

状态指示灯

Platform Cable USB Compatible 使用一个双色 LED 来指示当前目标电压。当下载电缆与目标系统连接后，状态 LED 起到指示目标板 Vref 状态的作用。

使用者必须将目标系统用来给 JTAG ,SPI 或从串脚供电的电源平面连接到下载电缆的 Vref 输入引脚上。一些系统使用独立的 VAUX 来进行这类应用，另一些则使用一个相同的 VCCIO 来为 JTAG(TCK , TMS , TDI , TDO)和其他的 IO 管脚供电。这些信息请参考目标系统的数据表。

状态指示灯在发生以下情形（之一或多种）显示为桔黄色：

下载电缆没有与目标系统连接

目标系统未上电

Vref 引脚电压低于 1.5V

状态指示灯在以下情形全部满足时显示为绿色：

下载电缆与目标系统正确连接

目标系统已经上电

Vref 引脚电压大于等于 1.5V

当 Platform Cable USB Compatible 没有连接到 USB 接口或被挂起时，状态指示灯不发光。

三 . platform Cable USB Compatible 的连接

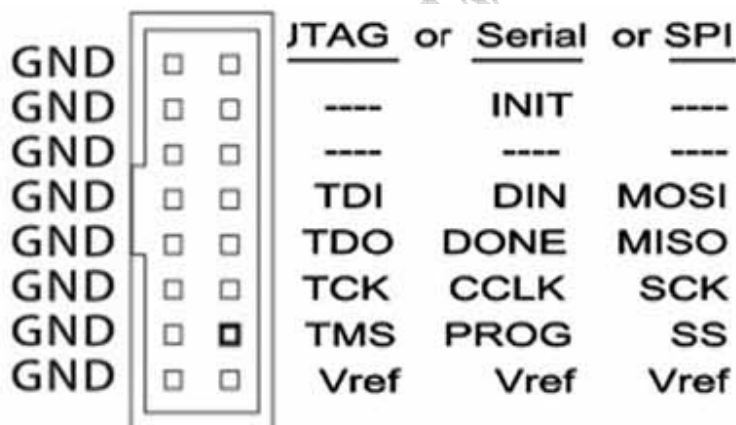
Platform Cable USB Compatible 与主机和目标系统的物理连接。

扁平电缆

一种比较好的方式是直接使用与 2.54 间距简易牛角插座相配合的扁平电缆连接 Platform Cable USB Compatible 与目标系统。这样可以保证信号线之间有地线相隔，能保证优良的信号完整性。

为了达到这一目的，需要在目标系统中安装相应的连接器。这是设计阶段就应该考虑的工作，当调试完成以后，这个连接器可以在最终产品中被省略不安装，但如果空间足够的话，保留这个连接器的安装位置是明智之举。

这个连接器使用 14pin 2.54mm 间距简易牛角插座。相对于原厂下载电缆所使用的 2.0mm 间距插座而言，虽然体积大了一些，但使用寿命更长，结构更坚固，且价格低廉。





转换板



为了方便用户的使用，随产品提供了一个信号转换板。这个转换板用来将 14pin 2.54mm 的信号连接器转换为 3 种不同接口信号，方便用户使用，







分别是：

- 1：10pin 2.54mm 公插座；
- 2：7pin 2.54mm 插针，并提供对应飞线（杜邦接头）；
- 3：14pin 2.0mm 公插座。







三种连接器的信号定义如下：

Figure 8：14pin 2.54mm 连接器尺寸规格和信号定义

Xilinx platform USB cable说明

接口定义			这个版本的xilinx platform USB cable 转接板方向如图所示, 请不要插反方向, (绿色转接板)  																																																																							
J6 PIN OUT <table border="1"> <tr><td>TCK</td><td>1</td><td>2</td><td>GND</td></tr> <tr><td>TDO</td><td></td><td></td><td>VREF</td></tr> <tr><td>TMS</td><td></td><td></td><td>NC</td></tr> <tr><td>TDI</td><td></td><td></td><td>NC</td></tr> <tr><td>NC</td><td></td><td></td><td>GND</td></tr> <tr><td></td><td>9</td><td>10</td><td></td></tr> </table>	TCK	1		2	GND	TDO			VREF	TMS			NC	TDI			NC	NC			GND		9	10		J4 PIN OUT <table border="1"> <tr><td>GND</td><td>1</td><td>2</td><td>VREF</td></tr> <tr><td>GND</td><td></td><td></td><td>TMS</td></tr> <tr><td>GND</td><td></td><td></td><td>TCK</td></tr> <tr><td>GND</td><td></td><td></td><td>TDO</td></tr> <tr><td>GND</td><td></td><td></td><td>TDI</td></tr> <tr><td>GND</td><td></td><td></td><td>NC</td></tr> <tr><td>GND</td><td></td><td></td><td>INIT</td></tr> <tr><td></td><td>13</td><td>14</td><td></td></tr> </table>	GND	1	2	VREF	GND			TMS	GND			TCK	GND			TDO	GND			TDI	GND			NC	GND			INIT		13	14		J5 PIN OUT <table border="1"> <tr><td>VREF</td><td>1</td></tr> <tr><td>GND</td><td></td></tr> <tr><td>TCK</td><td></td></tr> <tr><td>TDO</td><td></td></tr> <tr><td>TDI</td><td></td></tr> <tr><td>TMS</td><td></td></tr> <tr><td>NC</td><td></td></tr> <tr><td>INIT</td><td>8</td></tr> </table>	VREF	1	GND		TCK		TDO		TDI		TMS		NC		INIT
TCK	1	2	GND																																																																							
TDO			VREF																																																																							
TMS			NC																																																																							
TDI			NC																																																																							
NC			GND																																																																							
	9	10																																																																								
GND	1	2	VREF																																																																							
GND			TMS																																																																							
GND			TCK																																																																							
GND			TDO																																																																							
GND			TDI																																																																							
GND			NC																																																																							
GND			INIT																																																																							
	13	14																																																																								
VREF	1																																																																									
GND																																																																										
TCK																																																																										
TDO																																																																										
TDI																																																																										
TMS																																																																										
NC																																																																										
INIT	8																																																																									
6PIN 飞线定义, 请根据您的目标板进行组合, VREF接JTAG端口 VCC(1.5-5V) 			3条接口线, 每次只能选一条插到转接板上与目标板进行连接, 否则可能会出现扫描不到器件问题!! 																																																																							
具体介绍以及资料更新请上华升网站查询! http://www.hseda.com  																																																																										

Xilinx platform USB cable instructions

The interface definition			This version of the xilinx platform USB cable adapter plate direction as shown in figure, please don't plug in the opposite direction, the transfer (green PCB board)  																																																																							
J6 PIN OUT <table border="1"> <tr><td>TCK</td><td>1</td><td>2</td><td>GND</td></tr> <tr><td>TDO</td><td></td><td></td><td>VREF</td></tr> <tr><td>TMS</td><td></td><td></td><td>NC</td></tr> <tr><td>TDI</td><td></td><td></td><td>NC</td></tr> <tr><td>NC</td><td></td><td></td><td>GND</td></tr> <tr><td></td><td>9</td><td>10</td><td></td></tr> </table>	TCK	1		2	GND	TDO			VREF	TMS			NC	TDI			NC	NC			GND		9	10		J4 PIN OUT <table border="1"> <tr><td>GND</td><td>1</td><td>2</td><td>VREF</td></tr> <tr><td>GND</td><td></td><td></td><td>TMS</td></tr> <tr><td>GND</td><td></td><td></td><td>TCK</td></tr> <tr><td>GND</td><td></td><td></td><td>TDO</td></tr> <tr><td>GND</td><td></td><td></td><td>TDI</td></tr> <tr><td>GND</td><td></td><td></td><td>NC</td></tr> <tr><td>GND</td><td></td><td></td><td>INIT</td></tr> <tr><td></td><td>13</td><td>14</td><td></td></tr> </table>	GND	1	2	VREF	GND			TMS	GND			TCK	GND			TDO	GND			TDI	GND			NC	GND			INIT		13	14		J5 PIN OUT <table border="1"> <tr><td>VREF</td><td>1</td></tr> <tr><td>GND</td><td></td></tr> <tr><td>TCK</td><td></td></tr> <tr><td>TDO</td><td></td></tr> <tr><td>TDI</td><td></td></tr> <tr><td>TMS</td><td></td></tr> <tr><td>NC</td><td></td></tr> <tr><td>INIT</td><td>8</td></tr> </table>	VREF	1	GND		TCK		TDO		TDI		TMS		NC		INIT
TCK	1	2	GND																																																																							
TDO			VREF																																																																							
TMS			NC																																																																							
TDI			NC																																																																							
NC			GND																																																																							
	9	10																																																																								
GND	1	2	VREF																																																																							
GND			TMS																																																																							
GND			TCK																																																																							
GND			TDO																																																																							
GND			TDI																																																																							
GND			NC																																																																							
GND			INIT																																																																							
	13	14																																																																								
VREF	1																																																																									
GND																																																																										
TCK																																																																										
TDO																																																																										
TDI																																																																										
TMS																																																																										
NC																																																																										
INIT	8																																																																									
6 pin fly line definition, please based on your target board undertakes assured, meet the JTAG port VREF VCC, voltage range (1.5 to 5 v) 			Article 3 interface line, each time can only choose a plug into the adapter plate connected to the target board, otherwise it may can't scan device problems! 																																																																							
Concrete is introduced, as well as rise on China website information update please! http://www.hseda.com  																																																																										

J6. 10pin 2.54mm 连接器信号定义 .J5.6pin 2.54mm (飞线) 连接器信号定义 ,J4 2.0mm 连接器信号定义

注意: 在使用转换板时, 请在插入后核对转换板的正面 (有插座和丝印的一面) 与下载电缆的正面 (有标签和指示灯的一面) 是否在一面, 以防插反。

目标参考电压测量(Vref)

Platform Cable USB Compatible 在 Vref 输入引脚上使用了电压钳位电路。经过钳位后的 Vref_A 电压用来为高速电平转换芯片 SN74AVCA164245 的 VCCb 供电。这个转换芯片完成了 3 个信号的输出电平转换和 2 个输入信号的电平转换。因此，Vref 必须是一个经过稳压的输入。

注意：不要在目标板的 Vref 输出和下载电缆的 Vref 输入中间串联任何限流电阻！

Vref 加电而 Platform Cable USB Compatible 的 USB 接口未与主机相连或相反情形，均不会对 Platform Cable USB Compatible 或目标系统造成任何损坏。如果 Platform Cable USB Compatible 与主机连接并加电，目标板未上电时，也不会有电流倒灌入目标板中。

当 Vref 下降至 1.1V 以下时，3 个输出信号(TCK_CCLK_SCK, TMS_PROG_SS, TDI_DIN_MOSI) 会路为高阻状态。输出信号的电平在 Vref 介于 1.5V ~ 3.6V 之间时，线性的跟随 Vref 变化。当 Vref 大于 3.6V 且小于 5V 时，输出信号的电平大约为 3.6V。

Table 3 说明了输出信号电平和 Vref 之间的关系。

Table 3: Output Signal Level as a Function of the Vref

目标系统 Vref 电压 (VDC)	输出信号电平 (VDC)	状态指示灯颜色
$0.00 < V_{ref} < 1.40$	高阻	桔黄色
$1.40 < V_{ref} < 3.60$	Vref	绿色
$3.60 < V_{ref} < 5.00$	约为 3.60	绿色

注意：三个输出管脚有到 Vref_A (经过 3.6V 钳位) 的弱上拉电阻。只在配置过程中输出信号，其余时间均为高阻状态。

Xilinx 应用程序会在将输出缓冲器路为高阻之前，输出逻辑 1。这一目的是防止发生在输出缓冲器由逻辑 0 突然路为高阻，继而弱上拉电阻对目标系统输入电容进行充电而导致的电压缓慢上升过程。

四．输出驱动器结构

Platform Cable USB Compatible 输出 3 个信号：

TCK_CCLK_SCK，TMS_PROG_SS，TDI_DIN_MOSI。

每个信号的输出电路的拓扑结构都是相同的。由一片 XILINX XC2C256 Coolrunner-II CPLD 产生输出信号。

每个信号都通过了 SN74AVCA164245 高速电平转换器进行电平转换，将 CPLD 产生的 3.3V 信号电平转换到 Vref_A 所标识的电平（1.4V ~ 大约 3.6V）。输出管脚上串联阻尼/保护电阻为 68 欧姆，这一电阻的功能是防止信号反射以及在接线错误时保护转换器本身不受损坏。转换器输出端弱上拉电阻为 20K 欧姆，输入端弱上拉电阻为 10K 欧姆。输出端的弱上拉电阻连接到经过钳位的 Vref，而输入端的弱上拉电阻则连接到内部的 3.6V VCC。此外，在紧挨着 14pin 2.54mm 连接器的一端，还设有了 SRV05-4 保护二极管阵列对输出管脚进行防静电保护(图中未画出)。

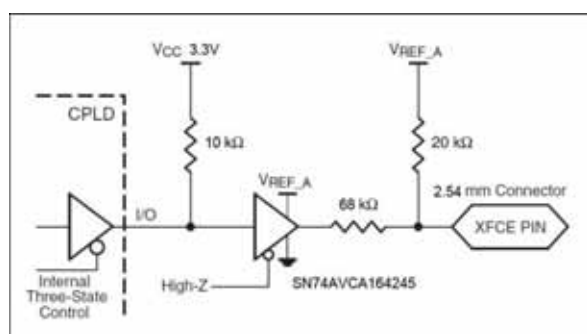


Figure 10：输出驱动器结构（其中一组）

下图表明了经钳位后的 Vref_A 与输入 Vref 的函数关系

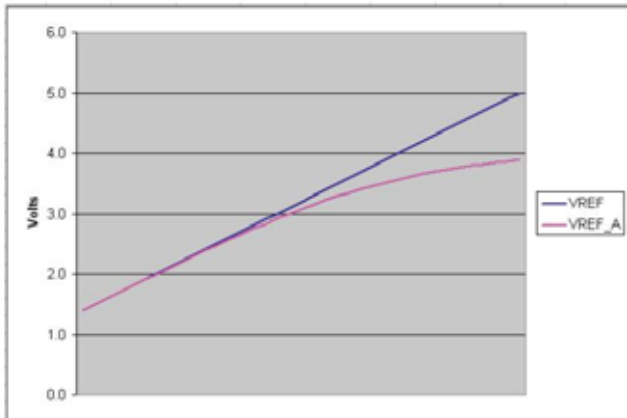


Figure11：经钳位后的 Vref_A 与 Vref 输入之间的关系

输入缓冲器结构：

输入信号 (TDO_DONE_MISO 和 INIT_B) 使用了高速电平转换芯片 SN74AVCA164245 的第二组端口进行了输入缓冲，目的是将 1.4 ~ 5V 的信号输入电平转换到 3.3V 送给 CPLD。与输出驱动器的结构相同，输入缓冲器也使用了 20K 欧姆的弱上拉电阻，但串联的阻尼/保护电阻值增加到 100 欧姆。由于 TDO 电压有可能远大于经过钳位的 Vref 电压，因此需要更大的电阻来保护电平转换芯片的输入钳位二极管不会过载——转换芯片的钳位二极管最大允许通过电流值为 50mA。100 欧姆的保护电阻可以保证在最恶劣条件下，灌入的电流不超过 20mA。另外，在这两个输入接口上同样设路了 SRV05-4 保护二极管阵列进行防静电保护(图中未画出)。

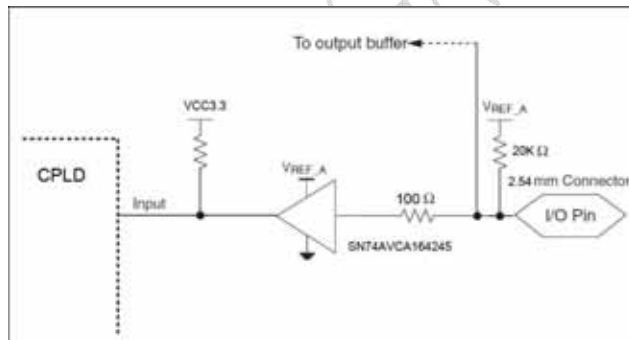


Figure12：输入缓冲器的结构（其中一组）

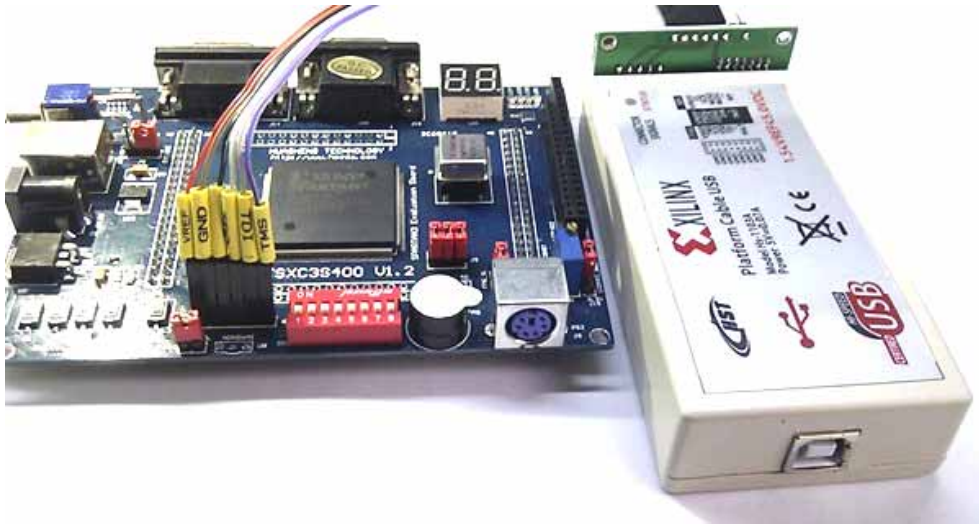
注意：在 C 版本（现有产品）中，为了加强输入管脚在发生错误接线等特殊情况下自我保护能力，在外部增加了 2 只向 VREF_A 钳位的 1N4148 二极管。

信号完整性：

这一部分的内容请参考 XILINX 官方网站：

http://www.xilinx.com/products/design_resources/signal_integrity/index.htm

五．目标系统的连接



(略)

六．接口针脚功能说明

Table 4 :

针脚号	编 号	从 串 模式	JTAG 模式	SPI 编程 模式	方向	描述
2		INIT	-	-	BIDIR	配置开始。这个针脚为低电平则表明目标器件内部的存储器正在被清零。这一针脚要连接到配置菊花链中所有 FPGA 的 INIT_B 管脚（一般为 OC 门输出）。
4		NC	-	-	-	备用
6		DIN	-	-	OUT	配置数据输入。从这一针脚输入目标 FPGA 的配置比特流。连接到目标 FPGA 的 DIN 脚或配置菊花链中的第一个 FPGA 的 DIN 脚。
8		DONE	-	-	IN	配置完成。这一针脚告知配置电缆目标 FPGA 已经收到整个配置比特流。应并行的连接到配置菊花链中每一个 FPGA 的 DONE 脚。为了保证配置的正确完成，附加的 CCLK 周期是必要的。
10		CCLK	-	-	OUT	配置时钟。在从串模式中，FPGA 每个 CCLK 周期载入一位的配置信息。这一信号要连接到配置菊花链中所有 FPGA 的 CCLK 管脚。
12		PROG	-	-	OUT	配置复位。这一信号用于强制对 FPGA 进行重新配置。将此信号连接到目标 FPGA 的 PROG_B 管脚。
14		VREF	VREF	-	IN	目标参考电压，这个针脚连接到驱动设备 JTAG，SPI 或从串端口的电源平面。
6		-	TDI	-	OUT	Test Data In。这一针脚的数据发送给 JTAG 链中第一个设备的 TDI 管脚。
8		-	TDO	-	IN	Test Data Out。这一针脚的数据来自于 JTAG 链中最后一个设备的 TDO 管脚。
10		-	TCK	-	OUT	Test Clock。JTAG 操作所使用的时钟信号。连接到所有使用同样数据流进行在系统编程器件的 TCK 管脚。
12		-	TMS	-	OUT	Test Mode Select。这一信号用来实现在系统编程目标器件正确的 TAP 状态转换。连接到所有使用同样数据流进行在系统编程器件的 TMS 管脚。
6		-	-	MOSI	OUT	SPI 主出从入。这是目标的数据流输入信号，连接到 SPI flash PROM 的 D 脚。
8		-	-	MISO	IN	SPI 主如从出。这是目标的数据流输出信号，连接到 SPI flash PROM 的 Q 脚。
10		-	-	SCK	OUT	SPI 时钟。这是 SPI 操作所需的时钟信号，连接到 SPI flash PROM 的 C 脚。
12		-	-	SS	OUT	SPI 选择。这是 SPI 器件的地有效选择信号，连接到 SPI flash PROM 的 S 脚。
1, 3, 5, 7, 9, 11, 13		-	-	-	-	数字地。

Platform Cable USB Compatible 规格参数表

Table5 : 最大绝对额定值

Symbol	Description	Conditions	Value	Units
Vbus	USB 接口供电电压		6	V
Vref	目标参考电压		5.95	V
Iref	从 Vref 端口吸取电流值	Vref = 5.5V	70	mA
Ta	工作温度		70	摄氏度
Iout	从任意输出接口输出的电流值 (TCK_CCLK_SCK, TMS_PROG_SS, TDI_DIN_MOSI, INIT)	Vref=3.3V	+/-12	mA

注意：达到或超过或长时间工作于最大绝对额定值有可能会造成产品损坏。

Table6 : 推荐直流工作条件

Symbol	Description	Conditions	Min	Max	Units
Vbus	USB 接口供电电压		4.5	6	V
Vref	目标参考电压		1.4	5.5	V
Ta	工作温度		0	70	摄氏度
Tsig	储存温度		-40	70	摄氏度
Voh	高电平输出电压	Vref = 3.3V, Ioh=-12mA	2.8		V
Vol	低电平输出电压	Vref=3.3V Iol=12mA		0.6	V
Iref	从 Vref 端口吸取电流值	Vref=3.3V	1	10	mA

版本历史

Table7 : 下表描述了本文件的修改历史

Date	Version	Revision
2009-5-20	1.00	Initial release
2010-10-2	2.0	Initial release
2010-5-18	3.0	● Initial release

联系信息

技术支持与讨论：www.hseda.com

